

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249614

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G09G 3/20

G09G 3/22

G09G 3/30

H04N 5/66

(21)Application number : 10-071307

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 05.03.1998

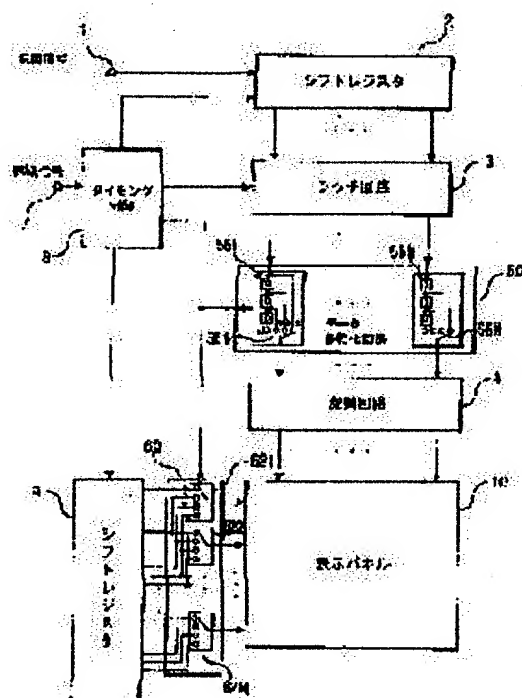
(72)Inventor : AIBA HIDEKI
MASUCHI SHIGEHIRO

(54) DRIVING CIRCUIT FOR MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the driving circuit of a matrix type display device which is capable of preventing the reduction of luminance due to saturations of phosphors and also is capable of making secular changes of cells smaller.

SOLUTION: In a display panel 10, cells are arranged in a matrix shape. A video signal is delayed by one or more rows by a data multiphase making circuit 50 and video signals before and after delays are switched in one field. Rows scanning the display panel 10 are switched by switching scanning pulses to be outputted from a shift register 9 by a scan multiphase making circuit 60. Thus, respective rows of cells are made to be scanned by being dispersed in display periods of (n) times in one field and other rows are made to be scanned for non-display periods among the display periods of the (n) times.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-249614

(43) 公開日 平成11年(1999) 9月17日

(51) Int. Cl.⁶

G 0 9 G 3/20

3/22

3/30

H 0 4 N 5/66

識別記号

6 2 2

F I

G 0 9 G 3/20

3/22

3/30

H 0 4 N 5/66

6 2 2 Q

D

J

B

審査請求 未請求 請求項の数7 F D (全 11 頁)

(21) 出願番号 特願平10-71307

(22) 出願日 平成10年(1998) 3月5日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 相羽 英樹

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 増地 重博

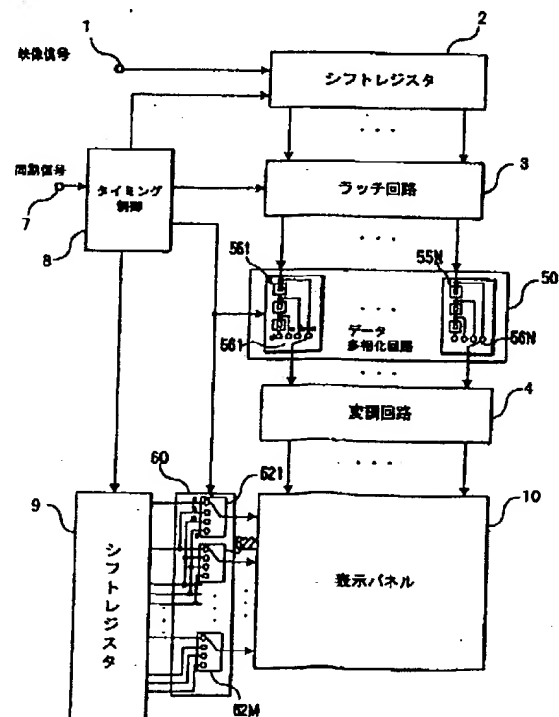
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54) 【発明の名称】 マトリクス型表示装置の駆動回路

(57) 【要約】

【課題】 蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができるマトリクス型表示装置の駆動回路を提供する。

【解決手段】 表示パネル10はセルがマトリクス状に配置されている。データ多相化回路50によって映像信号を1行以上遅延させ、遅延前後の映像信号を1フィールド内に切り替える。スキャン多相化回路60によってシフトレジスタ9より出力されるスキャンパルスを切り替えることにより、表示パネル10を走査する行を切り替える。これによって、セルのそれぞれの行を、1フィールドでn回の表示期間に分散させて走査し、n回の表示期間の間の非表示期間に、他の行を走査するようにする。



【特許請求の範囲】

【請求項1】複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないように表示するマトリクス型表示装置の駆動回路において、

前記セルのそれぞれの行を、1フィールドで n 回（但し、 n は3以上の整数）の表示期間に分散させて走査する手段を備えて構成したことを特徴とするマトリクス型表示装置の駆動回路。

【請求項2】前記 n 回の表示期間の間の非表示期間に、1行以上の他の行を走査する手段を備えて構成したことを特徴とする請求項1記載のマトリクス型表示装置の駆動回路。

【請求項3】前記 n 回の表示期間に分散させて走査する手段は、

映像信号を1行以上遅延させる遅延手段と、

前記映像信号と前記遅延手段による遅延後の映像信号とを1フィールド内に切り替える切り替え手段とよりなることを特徴とする請求項1または2のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項4】前記1行以上の他の行を走査する手段は、前記表示パネルを走査する行を切り替える切り替え手段であることを特徴とする請求項2に記載のマトリクス型表示装置の駆動回路。

【請求項5】前記表示期間の階調表現を、パルス幅変調もしくは電圧変調によって行うことを特徴とする請求項1ないし4のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項6】前記セルの1行における表示期間は、ほぼ等分割されて前記 n 回の表示期間とされていることを特徴とする請求項1ないし5のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項7】前記マトリクス型表示装置は、エレクトロルミネセンス表示装置であることを特徴とする請求項1ないし6のいずれかに記載のマトリクス型表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冷陰極電子放出素子等の電子放出源を用いた表示装置やエレクトロルミネセンス（以下、ELと略記する）表示装置等のマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】マトリクス型表示装置としては、冷陰極電子放出素子を用いた表示装置やEL表示装置等の1行同時表示型の表示装置が知られている。1行同時表示型の表示装置では、1行単位で同時に表示が行われ、一般的には上から下へ線順次走査され、各行の表示は走査期間中において全列同時に行われる。

【0003】さらに詳細には、1行同時表示型とは、ある任意の行の表示が行われている際には、他行の表示が行われない表示装置のことである。例えば、プラズマディスプレイパネルやTFT液晶表示装置等は線順次駆動を行っているが、セル毎にメモリ機能を有し、複数行の表示が同時に行われるので、この範疇ではない。但し、表示装置が複数の配線ブロックに完全に分割されている場合は、各ブロック内で複数行の同時表示期間がなければ1行同時表示型の表示装置である。

10 【0004】図7は従来の1行同時表示型であるマトリクス型表示装置の駆動回路を示すブロック図である。図7において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、一例として図8に示すように、走査電極L1～LMに接続された複数の行配線と、データ電極D1～DNに接続された複数の列配線とによって、画素を構成するセル10sがマトリクス状に配置されている。なお、セル10sは、電子放出源である電子放出素子と、この電子放出素子からの電子照射を受ける蛍光体とで構成される。

20 【0005】端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされ、変調回路4にデータが入力される。変調回路4は、データの大小に応じたパルスを表示パネル10のデータ電極D1～DNに入力する。

【0006】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを表示パネル10の走査電極L1～LMにスキャンパルスとして1行目から順次入力する。

【0007】さらに、図7に示すマトリクス型表示装置を駆動する場合の動作について詳細に説明する。上記のように、表示パネル10の走査電極L1～LMには、順次、シフトレジスタ9によってスキャンパルスが印加される。また、表示パネル10のデータ電極D1～DNには、変調回路4によって、選択されたラインに対応したデータに応じて一例としてパルス幅（PWM）変調されたパルスが印加される。

【0008】即ち、 i 行 j 列のデータに対しては、走査電極L i が選択されている期間にデータ電極D j に電圧を印加する。変調回路4がPWM変調の場合、階調は、データ電極D1～DNに印加するパルスの印加時間（パルス幅）で表現される。変調回路4の変調方法はPWM方式に限らず、電圧変調等のように発光の強弱が表現できる方法であればよい。

【0009】図9は、一例として j 列を表示する際の動作を示す波形図であり、走査電極に印加するスキャンパ

ルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、 i 行 j 列は黒、 $i+1$ 行 j 列はグレー、 $i+2$ 行 j 列は白である場合について示している。図9に示すように、 i 行の水平走査期間 $H0$ において、 i 行の走査電極 L_i には電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、 i 行 j 列での表示が黒であるため、 j 列のデータ電極 D_j は常に0電位である。

【0010】次に、 $i+1$ 行の水平走査期間 $H1$ においては、 $i+1$ 行の走査電極 L_{i+1} には電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、 $i+1$ 行 j 列での表示がグレーであるため、 j 列のデータ電極 D_j には水平走査期間 $H1$ の約半分の期間だけ電圧 $+V_d$ がかかり、その後の約半分の期間は0電位となる。さらに、 $i+2$ 行の水平走査期間 $H2$ においては、 $i+2$ 行の走査電極 L_{i+2} は電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、 $i+2$ 行 j 列での表示が白であるため、 j 列のデータ電極 D_j には水平走査期間 $H2$ の全期間において電圧 $+V_d$ がかかっている。

【0011】ところで、冷陰極電子放出素子を用いた表示パネル10の場合は、電子放出素子が電子放出するためのしきい値を有している。そして、走査電極 $L_1 \sim L_M$ にかかる電圧とデータ電極 $D_1 \sim D_N$ にかかる電圧との差がしきい値以上で表示状態となり、それ以下では非表示状態となる。この例では、電圧 V_d と電圧 V_s はいずれもしきい値 V_{th} より小さく、電圧 $(V_d + V_s)$ はしきい値 V_{th} より大きく設定する。即ち、データ電極 $D_1 \sim D_N$ と走査電極 $L_1 \sim L_M$ の内の方のみの電圧印加だけでは発光は起こらず、両方に印加された場合にのみ発光する。

【0012】ここでは、 i 行から $i+2$ 行目までの表示過程についてのみ説明したが、実際には、表示パネル10の走査電極 $L_1 \sim L_M$ には、1行から M 行まで順次、スキャンパルスが印加され、この走査タイミングに合わせて、データ電極 $D_1 \sim D_N$ にPWM変調されたパルスが印加される。なお、有効画素が 480 行 \times 640 列の表示の場合には、走査電極が 480 本、データ電極が 640 本存在し、RGBストライプ構造のカラー表示の場合には 1920 本のデータ電極が存在する。

【0013】以上のような構成及び動作により、1フィールド内での各行の表示タイミングは、図10に示すようになる。なお、ここでは、走査電極が 480 行の場合であり、太実線の部分が表示期間となっている。図10に示すように、1フィールド内で1行目から 480 行目まで順次に表示が行われる。

【0014】

【発明が解決しようとする課題】上述した1行同時表示型のマトリクス型表示装置においては、各行において1フィールド中で1水平走査期間だけに表示が集中する。

このため、連続電子放出に起因して電子放出素子や蛍光体（即ち、セル10s）に経時変化（焼き付き）が起きる。また、蛍光体の飽和現象によって、パルス幅（発光時間）と輝度（発光強度）とが比例関係にならず、図11に示すように、緩やかなガンマ特性を有することにより、輝度の効率低下を生じる。なお、パルス幅を x 、発光強度を y とすると、図11に示す特性は $y=x^r$ と表すことができ、 $0 < r < 1$ で、通常、 $0.7 < r < 0.9$ 程度である。

10 【0015】蛍光体の発光は、蛍光体中に存在する電子が、電子ビームの照射によってより高い準位に励起した後、元の準位に戻る際に差のエネルギーが可視光として放出するものである。蛍光体の励起状態が回復する前に次々と電子が照射してくると、照射される電子量に対する可視光の放出する割合が減少する。これを蛍光体の飽和という。蛍光体の飽和現象によって図11に示すようなガンマ特性を有するという事は、パルス幅が2倍になっても輝度が2倍にはならないということであり、従来のマトリクス型表示装置では、この輝度低下が問題であった。

20 【0016】本発明はこのような問題点を鑑みなされたものであり、蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができ、マトリクス型表示装置の駆動回路を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないよう表示するマトリクス型表示装置の駆動回路において、前記セルのそれぞれの行を、1フィールドで n 回（但し、 n は3以上の整数）の表示期間に分散させて走査する手段を備えて構成したことを特徴とするマトリクス型表示装置の駆動回路を提供するものである。

【0018】

【発明の実施の形態】以下、本発明のマトリクス型表示装置の駆動回路について、添付図面を参照して説明する。図1、図2はそれぞれ本発明のマトリクス型表示装置の駆動回路の第1、第2実施例を示すブロック図、図3は本発明のマトリクス型表示装置の駆動回路の第1実施例の動作を説明するための波形図、図4は本発明のマトリクス型表示装置の駆動回路の第1実施例による表示タイミングを説明するための図、図5は本発明のマトリクス型表示装置の駆動回路の第2実施例の動作を説明するための波形図、図6は本発明のマトリクス型表示装置の駆動回路の第2実施例による表示タイミングを説明するための図である。なお、図1、図2において、図7と同一部分には同一符号が付してある。

【0019】＜第1実施例＞図1において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、その具体的構成は図8を用いて説明した通りである。端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされる。ラッチ回路3より出力されたデータは、本発明により新たに加えられたデータ多相化回路50に入力される。本実施例では、データ多相化回路50は、一例として、データを4相化する。

【0020】データ多相化回路50は、表示パネル10のデータ電極の数に応じて設けられた3段のDフリップフロップ（以下、DFFと略記する）551～55Nと、同じく表示パネル10のデータ電極の数に応じて設けられた接点a～dなる4接点のスイッチ561～56Nとより構成される。スイッチ561～56Nの接点aにはラッチ回路3の出力が入力され、スイッチ561～56Nの接点b～dには、それぞれ、DFF551～55Nの1段目～3段目のDFF出力が入力される。そして、スイッチ561～56Nは、これらを選択的に出力するようになっている。データ多相化回路50より出力されたデータは、変調回路4に入力される。変調回路4は、データの大小に応じて例えばPWM変調されたパルスを表示パネル10のデータ電極D1～DNに入力する。

【0021】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを本発明により新たに加えられたスキャン多相化回路60に入力する。スキャン多相化回路60は後述するように入力されたパルスを多相化し、そのパルスをスキャンパルスとして表示パネル10の走査電極L1～LMに入力する。本実施例では、スキャン多相化回路50は、一例として、スキャンパルスを4相化する。従って、表示パネル10に供給されるスキャンパルスは、シフトレジスタ9より出力される1ライン幅のパルスを4分割したものである。

【0022】スキャン多相化回路60は、表示パネル10の走査電極の数に応じて設けられた接点a～dなる4接点のスイッチ621～62Mより構成される。スイッチ621～62Mにはそれぞれシフトレジスタ9の隣接する4つの出力が入力され、これらを選択的に出力するようになっている。従って、シフトレジスタ9の出力端子の段数は従来の図7より3段多くなる。即ち、M行であれば、M+3段となる。スイッチ621～62Mより出力されたスキャンパルスは、表示パネル10の走査電極L1～LMに入力される。タイミング制御回路8は、

さらに、データ多相化回路50のスイッチ561～56N及びスキャン多相化回路60のスイッチ621～62Mを切り替えるよう制御する。

【0023】ここで、図1に示す駆動回路の動作を図3を用いて詳細に説明する。図3においても、一例としてj列を表示する際の動作を示しており、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、i-3行j列は白、i-2行j列は黒、i-1行j列はグレー、i行j列は白、i+1行j列は黒、i+2行j列はグレー、i+3行j列は白である場合について示している。

【0024】シフトレジスタ9がi番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からはi行目の全データが同時に出力されている。このとき、タイミング制御回路8からの制御信号によって、データ多相化回路50及びスキャン多相化回路60の各スイッチ561～56N、621～62Mは、水平走査期間H0の最初の1/4の期間H0aでは接点aに接続し、次の1/4の期間H0bでは接点bに接続し、さらにその次の1/4の期間H0cでは接点cに接続し、最後の1/4の期間H0dでは接点dに接続するよう制御される。

【0025】スイッチ561～56N、621～62Mが接点aに接続している水平走査期間H0の最初の1/4の期間H0aでは、データ多相化回路50はラッチ回路3からの出力をそのまま出力するので、i行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスが表示パネル10のi行目の走査電極Liに印加されることになる。

【0026】スイッチ561～56N、621～62Mが接点bに接続している水平走査期間H0の次の1/4の期間H0bでは、データ多相化回路50はDFF551～55Nの1段目のDFFの出力を出力するので、i-1行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-1行目の走査電極L(i-1)に印加されることになる。

【0027】スイッチ561～56N、621～62Mが接点cに接続している水平走査期間H0のさらに次の1/4の期間H0cでは、データ多相化回路50はDFF551～55Nの2段目のDFFの出力を出力するので、i-2行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-2行目の走査電極L(i-2)に印加されることになる。

【0028】スイッチ561～56N、621～62Mが接点dに接続している水平走査期間H0の最後の1/4の期間H0dでは、データ多相化回路50はDFF551～55Nの3段目のDFFの出力を出力するので、i-3行目のデータが変調回路4に入力されることにな

る。また、シフトレジスタ9の*i*番目の端子からのスキャンパルスは表示パネル10の*i*-3行目の走査電極L(*i*-3)に印加されることになる。

【0029】即ち、1水平走査期間H0の最初の1/4の期間H0aでは、表示パネル10の*i*行目のスキャンが行われ、次の1/4の期間H0bでは、表示パネル10の*i*-1行目のスキャンが行われる。さらに次の1/4の期間H0cでは、表示パネル10の*i*-2行目のスキャンが行われ、最後の1/4の期間H0dでは、*i*-3行目のスキャンが行われることになる。

【0030】そして、次の水平走査期間H1では、シフトレジスタ9において*i*+1番目の端子にスキャンが移り、ラッチ回路3からは*i*+1行目のデータが出力される。ここでも、タイミング制御回路8からの制御信号によって、データ多相化回路50及びスキャン多相化回路60の各スイッチ561~56N、621~62Mは、水平走査期間H1の最初の1/4の期間H1aでは接点aに接続し、次の1/4の期間H1bでは接点bに接続し、さらにその次の1/4の期間H1cでは接点cに接続し、最後の1/4の期間H1dでは接点dに接続するよう制御される。

【0031】スイッチ561~56N、621~62Mが接点aに接続している水平走査期間H1の最初の1/4の期間H1aでは、データ多相化回路50はラッチ回路3からの出力をそのまま出力するので、*i*+1行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の*i*+1番目の端子からのスキャンパルスが表示パネル10の*i*+1行目の走査電極L(*i*+1)に印加されることになる。

【0032】スイッチ561~56N、621~62Mが接点bに接続している水平走査期間H1の次の1/4の期間H1bでは、データ多相化回路50はDFF551~55Nの1段目のDFFの出力を出力するので、*i*行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の*i*+1番目の端子からのスキャンパルスは表示パネル10の*i*行目の走査電極L*i*に印加されることになる。

【0033】スイッチ561~56N、621~62Mが接点cに接続している水平走査期間H1のさらに次の1/4の期間H1cでは、データ多相化回路50はDFF551~55Nの2段目のDFFの出力を出力するので、*i*-1行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の*i*+1番目の端子からのスキャンパルスは表示パネル10の*i*-1行目の走査電極L(*i*-1)に印加されることになる。

【0034】スイッチ561~56N、621~62Mが接点dに接続している水平走査期間H1の最後の1/4の期間H1dでは、データ多相化回路50はDFF551~55Nの3段目のDFFの出力を出力するので、*i*-2行目のデータが変調回路4に入力されることにな

る。また、シフトレジスタ9の*i*+1番目の端子からのスキャンパルスは表示パネル10の*i*-2行目の走査電極L(*i*-2)に印加されることになる。

【0035】即ち、1水平走査期間H1の最初の1/4の期間H1aでは、表示パネル10の*i*+1行目のスキャンが行われ、次の1/4の期間H1bでは、表示パネル10の*i*行目のスキャンが行われる。さらに次の1/4の期間H1cでは、表示パネル10の*i*-1行目のスキャンが行われ、最後の1/4の期間H1dでは、*i*-2行目のスキャンが行われることになる。

【0036】以下、水平走査期間H2、H3...においても順次の同様の処理が繰り返される。

【0037】このようにして、例えば*i*行目の表示については、シフトレジスタ9が*i*番目のスキャンを行ってある水平走査期間H0の最初の1/4の期間H0aと、シフトレジスタ9が*i*+1番目のスキャンを行っている水平走査期間H1の2番目の1/4の期間H1bと、シフトレジスタ9が*i*+2番目のスキャンを行っている水平走査期間H2の3番目の1/4の期間H2cと、シフトレジスタ9が*i*+3番目のスキャンを行っている水平走査期間H3の最後の1/4の期間H3dとの4回で行われることになる。これらの一連の処理は、全行において同様に行われる。

【0038】以上のようにして、本発明の駆動回路によれば、表示パネル10の1つの行は、4回に分けて表示される。従って、1水平走査期間(1H)を1/4ずつに分ければ、変調回路4によるPWM変調の1回分のパルス幅は、図7と比較して1/4であり、表示パネル10の走査電極L1~LMに印加するスキャンパルスのパルス幅も、図7と比較して1/4となる。なお、100%白を表示する(8ビット表現では255のデータ)場合には、変調回路4からのPWM変調のパルス幅は、スキャンパルス幅にほぼ等しい。

【0039】図3の例では、*i*-3行目が100%(白)、*i*-2行目が0(黒)、*i*-1行目が50%(グレー)、*i*行目が100%(白)、*i*+1行目が0(黒)、*i*+2行目が50%(グレー)、*i*+3行目が100%(白)であるので、変調回路4からの出力は、水平走査期間H0の最初の1/4の期間H0aはスキャンパルス幅のパルス、次の1/4の期間H0bはスキャンパルス幅の半分(1Hの1/8)のパルス、さらに次の1/4の期間H0cは常に0、最後の1/4の期間H0dはスキャンパルス幅のパルスとなる。

【0040】次の水平走査期間H1では、変調回路4からの出力は、水平走査期間H1の最初の1/4の期間H1aは常に0、次の1/4の期間H1bはスキャンパルス幅のパルス、さらに次の1/4の期間H1cはスキャンパルス幅の半分(1Hの1/8)のパルス、最後の1/4の期間H1dは常に0のパルスとなる。

【0041】この例の*i*行目のように、仮に100%の

10

20

30

40

50

データが入力されたとしても、表示を期間H0a, H1b, H2c, H3dの4回に分散し、1回分のパルス幅を最大でも1Hの1/4とすることができるため、セル10sの焼き付き現象を減少させることができる。また、4回に分散することにより、4回の表示の間に非表示期間が設けられることになる。従って、非表示期間における休止によって蛍光体の励起状態が収まり、初期状態に回復するので、4回分のパルスで4倍の輝度を得られることになり、蛍光体の飽和による輝度低下を防止することができる。

【0042】本実施例では、表示パネル10の1つの行を4回の表示期間に分散させて表示する例を示したが、4回に限定されることなく、3回でも5回でもよい。なお、水平走査期間をn（nは3以上の整数）分割する場合、データ多相化回路50におけるDFF551～55Nの段数をn-1とし、スイッチ561～56Nをn接点とし、さらに、スキャン多相化回路60スイッチ621～62Mをn接点とする。

【0043】n回に分散することによる蛍光体の飽和減少の緩和は次のように説明することができる。発光強度（y）がパルス幅（x）のr乗に比例するとき、 $y = x^r$ である。しかし、本発明のように、パルスをn分割し、非表示期間（休止期間）中に蛍光体が完全に回復するならば、その発光強度は、 $n \cdot (x/n)^r$ となる。従って、n分割による効果は、 $n \cdot (x/n)^r / x^r = n \cdot (1/n)^r$ となる。

【0044】仮に、パルス幅xと発光強度yとの関係が0.9乗に比例するようなガンマ特性を持っているならば、4分割（n=4）の場合、約15%の輝度増加となる。32分割（n=32）の場合、約41%の輝度増加となる。また、0.8乗に比例する場合には、4分割表示で約32%の輝度増加となり、32分割表示で100%の輝度増加となる。なお、表示パネル10のセル10sに供給する電流は、従来と変わらないので、この輝度増加分だけ輝度の効率が增加する。なお、以上の説明から分かるように、パルスの分割はできる限り等分配であった方が効果的である。

【0045】図4は、以上説明した図1の構成による1フィールド内での各行の表示タイミングである。図4に示すように、各行の表示は、1H幅の非表示期間を挟んで4分割され、この非表示期間において、この表示期間において他の4行の1/4ずつの表示が行われている。この図4より分かるように、本発明においても、複数行の表示期間が互いに重なり合うことはなく、1行単位で表示が行われている。なお、本実施例では、非表示期間を全て一定の時間としているが、一定時間に限定されることはない。

【0046】＜第2実施例＞図2において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルで

あり、その具体的構成は図8を用いて説明した通りである。端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされる。ラッチ回路3より出力されたデータは、本発明により新たに加えられたデータ多相化回路51に入力される。

【0047】データ多相化回路51は、表示パネル10のデータ電極の数に応じて設けられたDフリップフロップ（以下、DFFと略記する）571～57Nと、同じく表示パネル10のデータ電極の数に応じて設けられた接点a, bなる2接点のスイッチ581～58Nとより構成される。スイッチ581～58Nには、ラッチ回路3の出力とDFF571～57Nの出力とが入力され、これらを選択的に出力するようになっている。データ多相化回路51より出力されたデータは、変調回路4に入力される。変調回路4は、データの大小に応じて例えばPWM変調されたパルスを表示パネル10のデータ電極D1～DNに入力する。

【0048】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを本発明により新たに加えられたスキャン多相化回路61に入力する。スキャン多相化回路61は後述するように入力されたパルスを多相化し、そのパルスをスキャンパルスとして表示パネル10の走査電極L1～LMに入力する。本実施例では、スキャン多相化回路51は、一例として、スキャンパルスを4相化する。従って、表示パネル10に供給されるスキャンパルスは、シフトレジスタ9より出力される1ライン幅のパルスを4分割したものである。

【0049】スキャン多相化回路61は、表示パネル10の走査電極の数に応じて設けられた接点a, bなる2接点のスイッチ631～63Mより構成される。スイッチ631～63Mにはそれぞれシフトレジスタ9の隣接する2つの出力が入力され、これらを選択的に出力するようになっている。従って、シフトレジスタ9の出力端子の段数は従来の図7より1段多くなる。即ち、M行であれば、M+1段となる。スイッチ631～63Mより出力されたスキャンパルスは、表示パネル10の走査電極L1～LMに入力される。タイミング制御回路8は、さらに、データ多相化回路51のスイッチ581～58N及びスキャン多相化回路61のスイッチ631～63Mを切り替えるよう制御する。

【0050】ここで、図2に示す駆動回路の動作を図5を用いて詳細に説明する。図5においても、一例としてj列を表示する際の動作を示しており、走査電極に印加

10

20

30

40

50

するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、 $i-1$ 行 j 列はグレー、 i 行 j 列は白、 $i+1$ 行 j 列は黒、 $i+2$ 行 j 列はグレー、 $i+3$ 行 j 列は白である場合について示している。

【0051】シフトレジスタ9が i 番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からは i 行目の全データが同時に出力されている。このとき、タイミング制御回路8からの制御信号によって、データ多相化回路51及びスキャン多相化回路61の各スイッチ581~58N、631~63Mは、水平走査期間H0の最初の1/4の期間H0aでは接点aに接続し、次の1/4の期間H0bでは接点bに接続し、さらにその次の1/4の期間H0cでは接点aに接続し、最後の1/4の期間H0dでは接点bに接続するよう制御される。

【0052】スイッチ581~58N、631~63Mが接点aに接続している水平走査期間H0の最初の1/4の期間H0aと3番目の1/4の期間H0cでは、データ多相化回路51はラッチ回路3からの出力をそのまま出力するので、 i 行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の1番目の端子からのスキャンパルスが表示パネル10の i 行目の走査電極L i に印加されることになる。

【0053】スイッチ581~58N、631~63Mが接点bに接続している水平走査期間H0の2番目の1/4の期間H0bと最後の1/4の期間H0dでは、データ多相化回路51はDFF571~57Nの出力を出力するので、 $i-1$ 行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の1番目の端子からのスキャンパルスは表示パネル10の $i-1$ 行目の走査電極L($i-1$)に印加されることになる。

【0054】即ち、1水平走査期間H0の最初の1/4の期間H0aと3番目の1/4の期間H0cでは、表示パネル10の i 行目のスキャンが行われ、2番目の1/4の期間H0bと最後の1/4の期間H0dでは、表示パネル10の $i-1$ 行目のスキャンが行われることになる。

【0055】そして、次の水平走査期間H1では、シフトレジスタ9において $i+1$ 番目の端子にスキャンが移り、ラッチ回路3からは $i+1$ 行目のデータが出力される。ここでも、タイミング制御回路8からの制御信号によって、データ多相化回路51及びスキャン多相化回路61の各スイッチ581~58N、631~63Mは、水平走査期間H1の最初の1/4の期間H1aと3番目の1/4の期間H1cでは接点aに接続し、2番目の1/4の期間H1bと最後の1/4の期間H1dでは接点bに接続するよう制御される。

【0056】スイッチ581~58N、631~63Mが接点aに接続している水平走査期間H1の最初の1/4の期間H1aと3番目の1/4の期間H1cでは、デ

ータ多相化回路51はラッチ回路3からの出力をそのまま出力するので、 $i+1$ 行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスが表示パネル10の $i+1$ 行目の走査電極L i に印加されることになる。

【0057】スイッチ581~58N、631~63Mが接点bに接続している水平走査期間H1の2番目の1/4の期間H1bと最後の1/4の期間H1dでは、データ多相化回路51はDFF571~57Nの出力を出力するので、 i 行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスは表示パネル10の i 行目の走査電極L i に印加されることになる。

【0058】即ち、1水平走査期間H1の最初の1/4の期間H1aと3番目の1/4の期間H1cでは、表示パネル10の $i+1$ 行目のスキャンが行われ、2番目の1/4の期間H1bと最後の1/4の期間H1dでは、表示パネル10の i 行目のスキャンが行われることになる。

20 【0059】以下、水平走査期間H2、H3...においても順次の同様の処理が繰り返される。

【0060】このようにして、例えば i 行目の表示については、シフトレジスタ9が1番目のスキャンを行っている水平走査期間H0の最初の1/4の期間H0a及び3番目の1/4の期間H0cと、シフトレジスタ9が $i+1$ 番目のスキャンを行っている水平走査期間H1の2番目の1/4の期間H1b及び最後の1/4の期間H1dとの4回で行われることになる。これらの一連の処理は、全行において同様に行われる。

30 【0061】以上のようにして、本発明の駆動回路によれば、表示パネル10の1つの行は、4回に分けて表示される。従って、1水平走査期間(1H)を1/4ずつに分ければ、変調回路4によるPWM変調の1回分のパルス幅は、図7と比較して1/4であり、表示パネル10の走査電極L1~LMに印加するスキャンパルスのパルス幅も、図7と比較して1/4となる。なお、100%白を表示する(8ビット表現では255のデータ)場合には、変調回路4からのPWM変調のパルス幅は、スキャンパルス幅にほぼ等しい。

40 【0062】図5の例では、 $i-1$ 行目が50%(グレー)、 i 行目が100%(白)、 $i+1$ 行目が0(黒)、 $i+2$ 行目が50%(グレー)、 $i+3$ 行目が100%(白)であるので、変調回路4からの出力は、水平走査期間H0の最初の1/4の期間H0aはスキャンパルス幅のパルス、次の1/4の期間H0bはスキャンパルス幅の半分(1Hの1/8)のパルス、さらに次の1/4の期間H0cはスキャンパルス幅のパルス、最後の1/4の期間H0dはスキャンパルス幅の半分(1Hの1/8)のパルスとなる。

50 【0063】次の水平走査期間H1では、変調回路4か

らの出力は、水平走査期間H1の最初の1/4の期間H1aは常に0、次の1/4の期間H1bはスキャンパルス幅のパルス、さらに次の1/4の期間H1cは常に0、最後の1/4の期間H1dはスキャンパルス幅のパルスとなる。

【0064】この例のi行目のように、仮に100%のデータが入力されたとしても、表示を期間H0a、H0c、H1b、H1dの4回に分散し、1回分のパルス幅を最大でも1Hの1/4とすることができるため、セル10sの焼き付き現象を減少させることができる。また、4回に分散することにより、4回の表示の間に非表示期間が設けられることになる。従って、非表示期間における休止によって蛍光体の励起状態が収まり、初期状態に回復するので、4回分のパルスで4倍の輝度を得られることになり、蛍光体の飽和による輝度低下を防止することができる。

【0065】本実施例では、表示パネル10の1つの行を4回の表示期間に分散させて表示する例を示したが、4回に限定されることなく、3回でも5回でもよい。なお、水平走査期間をn（nは3以上の整数）分割する場合、データ多相化回路51におけるスイッチ581～58N及びスキャン多相化回路61におけるスイッチ631～63Mの接点a、b間の切り替え回数をnに応じた回数とする。

【0066】図6は、以上説明した図2の構成による1フィールド内での各行の表示タイミングである。図6に示すように、各行の表示は、2走査期間中で非表示期間を挟んで4分割され、この非表示期間において、この表示期間において他の4行の1/4ずつの表示が行われている。この図6より分かるように、本発明においても、複数行の表示期間が互いに重なり合うことはなく、1行単位で表示が行われている。なお、本実施例では、非表示期間を全て一定の時間としているが、一定時間に限定されることはない。

【0067】図2に示す第2実施例は、図1に示す第1実施例と比較して、DFF571～57NのDFFの段数が1段でよく、スイッチ581～58N及びスイッチ631～63Mの接点数が少ないという利点がある。しかし、第2実施例における非表示期間は第1実施例における非表示期間よりも短い。従って、蛍光体の飽和による輝度低下を防止するという点からすれば、第1実施例の方がより好ましい実施形態であると言える。

【0068】以上のように、本発明は、表示パネル10の走査電極L1～LMを単純に上から下へスキャンするのではなく、図4や図6に示したように、各行毎にn回の位相に分けて表示させることに特徴がある。そして、

n回の分散表示の分散方法は多様に考えられるが、映像信号のデータを1行以上遅延させるための遅延手段と、遅延前後のデータを切り替える切り替え手段と、この切り替えに同期したタイミングで、表示パネル10の走査電極L1～LMをスキャンする行を切り替える切り替え手段とを設けることが必要である。

【0069】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の駆動回路は、セルのそれぞれの行を、1フィールドでn回の表示期間に分散させて走査する手段を備えて構成したので、蛍光体の飽和による輝度低下を防止することができ、発光効率がよくなる。また、セルの経時変化を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すブロック図である。

【図2】本発明の第2実施例を示すブロック図である。

【図3】本発明の第1実施例の動作を説明するための波形図である。

【図4】本発明の第1実施例による表示タイミングを説明するための図である。

【図5】本発明の第2実施例の動作を説明するための波形図である。

【図6】本発明の第2実施例による表示タイミングを説明するための図である。

【図7】従来例を示すブロック図である。

【図8】マトリクス型表示装置の表示パネルの構成を示す図である。

【図9】従来例の動作を説明するための波形図である。

【図10】従来例による表示タイミングを説明するための図である。

【図11】従来例によるパルス幅と発光強度との関係を示す図である。

【符号の説明】

1、7 端子

2 シフトレジスタ

3 ラッチ回路

4 変調回路

8 タイミング制御回路

9 シフトレジスタ

10 表示パネル

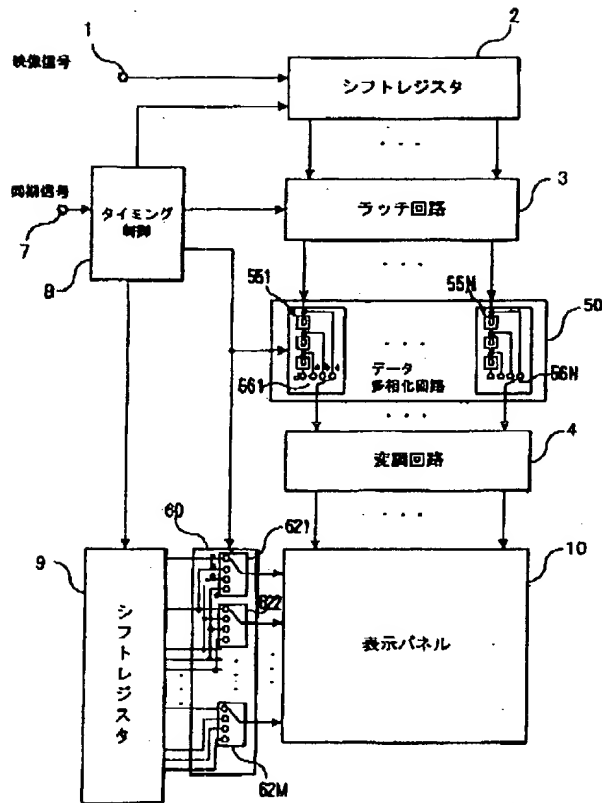
50、51 データ多相化回路

60、61 スキャン多相化回路

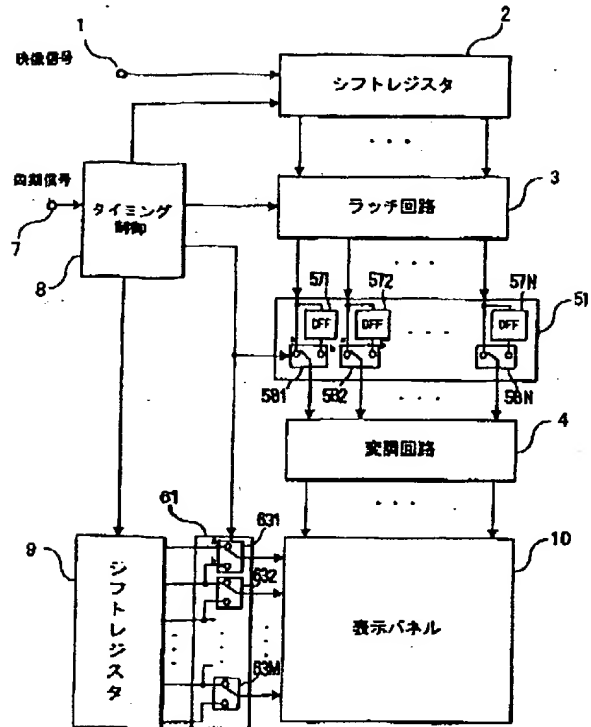
561～56N、581～58N、621～62M、631～63M スイッチ（切り替え手段）

571～57N、581～58N Dフリップフロップ（遅延手段）

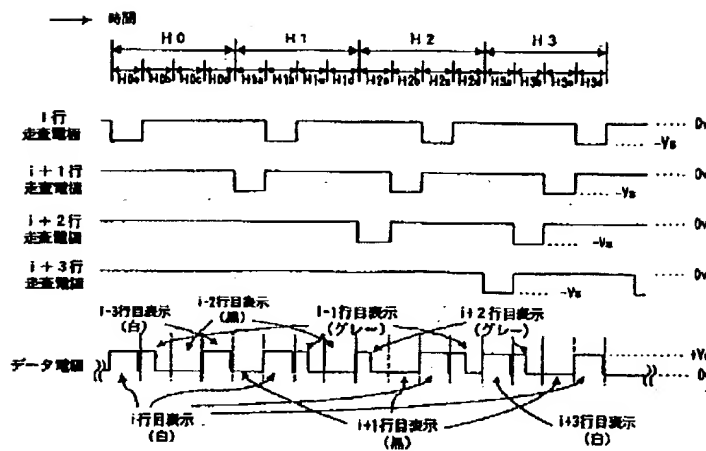
【図1】



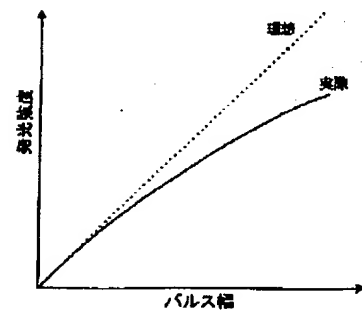
【図2】



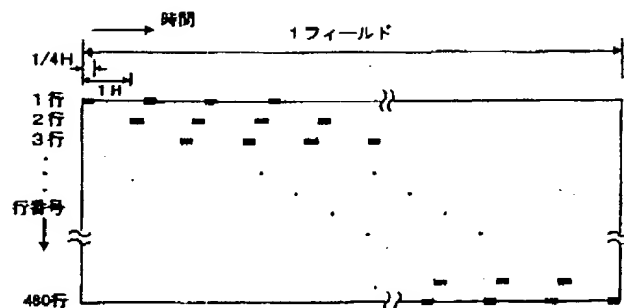
【図3】



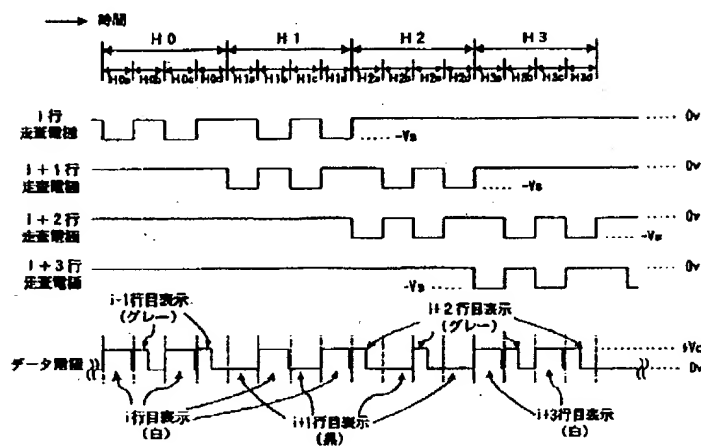
【図11】



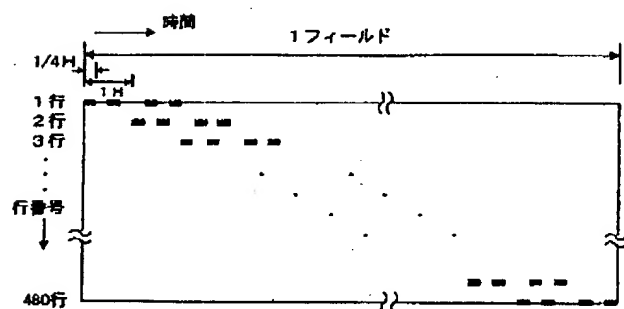
【図4】



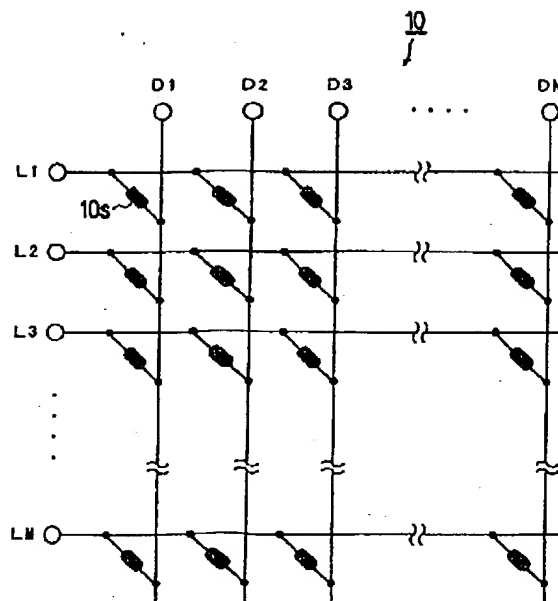
【図5】



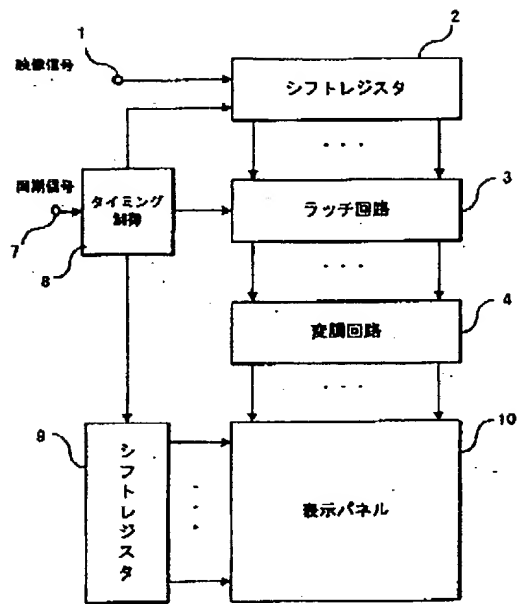
【図6】



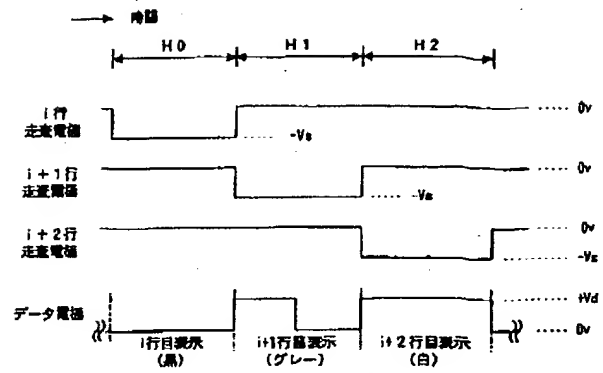
【図8】



【図7】



【図9】



【図10】

